

**19 BUNDESREPUBLIK
DEUTSCHLAND**

**DEUTSCHES
PATENT- UND
MARKENAMT**

Offenlegungsschrift
DE 100 51 988 A 1

⑤ Int. Cl.⁷:
H 03 K 19/0185
G 11 C 7/00

⑦1	Aktenzeichen:	100 51 988.1
⑦2	Anmeldetag:	20. 10. 2000
⑦3	Offenlegungstag:	8. 5. 2002

(71) Anmelder:
Infineon Technologies AG, 81669 München, DE

(74) Vertreter:
Wilhelm, J., Dipl.-Phys.Univ., Pat.-Anw., 80636 München

⑦2 Erfinder:
Fischer, Helmut, 82024 Taufkirchen, DE

⑤⑤ **Entgegenhaltungen:**

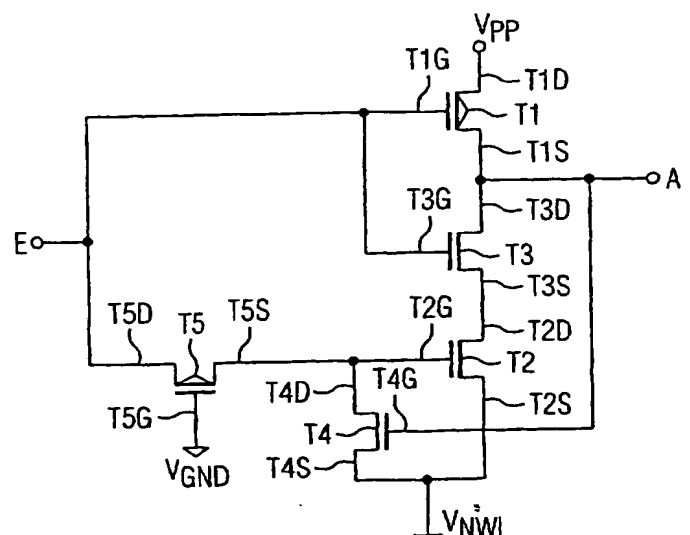
DE	33 40 567 C2
EP	06 75 602 A1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

54) Zustandspegel-Wandlerschaltung zur Ansteuerung von Wortleitungen

57) Zustandspegel-Wandlerschaltung zur Ansteuerung von Wortleitungen in einem integrierten Speicher, wobei die Zustandspegel-Wandlerschaltung eine Inverterschaltung und eine Pegelwandlerschaltung umfasst. Die Inverterschaltung weist einen ersten Transistor (T1) eines ersten Leitfähigkeitstyps und einen zweiten Transistor (T2) eines zweiten Leitfähigkeitstyps auf. Ein erster Eingang (T1D, T1S) des ersten Transistors (T1) ist mit einem ersten Versorgungsspannungspotential (V_{PP} , V_{GND}) und ein erster Eingang (T2S, T2D) des zweiten Transistors (T2) mit einem zweiten Versorgungsspannungspotential (V_{NWL} , V_{PWL}) verbunden. Ein Steuereingang (T2G) des zweiten Transistors (T2) ist mit der Pegelwandlerschaltung verbunden. Zwischen einem zweiten Eingang (T1S, T1D) des ersten Transistors (T1) und einem zweiten Eingang (T2D, T2S) des zweiten Transistors (T2) ist ein dritter Transistor (T3) des zweiten Leitfähigkeitstyps vorgesehen. Der Steuereingang (T3G) des dritten Transistors (T3) ist mit dem Steuereingang (T1G) des ersten Transistors (T1) verbunden, so dass diese gleichzeitig bei einem Wechsel des anliegenden Eingangssignals (E) schalten.



DE 100 51 988 A 1

BEST AVAILABLE COPY

DE 100 51 988 A 1

[0001] Die Erfindung betrifft eine Zustandspegel-Wandlerschaltung, insbesondere zur Ansteuerung von Wortleitungen in einem integrierten Speicher.

[0002] Die Wortleitungen in einem integrierten Speicher werden üblicherweise durch Wortleitungstreiber angesteuert, um die durch die Wortleitungslänge bedingte hohe Kapazität der Wortleitung umzuladen. Zudem führt die zunehmende Miniaturisierung von integrierten Speichern dazu, dass die Kanallängen der Speichertransistoren kleiner werden. Dadurch verringert sich deren Schwellspannung. Bei kleineren Schwellspannungen liegen entsprechend auch die Gate-Spannungspotentiale, in denen ein wesentlicher Unterschwellspannungsstrom (Sub-Threshold-Strom) fließt, niedriger. Aus diesem Grund kann bei einem Low-Zustand entsprechenden Gate-Spannungspotential an einem Speichertransistor ein nicht zu vernachlässigender Sperrstrom fließen.

[0003] Es ist daher sinnvoll, zum Ansteuern der Speichertransistoren eine niedrigere Gate-Spannung anzulegen, um für einen Sperr-Zustand einen möglichst geringen Unterschwellspannungsstrom der Speicherzellentransistoren sicherzustellen. Dazu wird üblicherweise eine Zustandspegel-Wandlerschaltung verwendet, die für einen Low-Zustand eine zusätzliche negativere Spannung auf der Wortleitung zur Verfügung stellt, während der High-Zustand möglichst unverändert bleibt.

[0004] Eine Zustandspegel-Wandlerschaltung ist in der Regel durch eine Inverterschaltung und eine Pegelwandlerschaltung aufgebaut. Die Inverterschaltung weist zwei Transistoren auf, wobei ein Steuereingang eines der Transistoren mit der Pegelwandlerschaltung verbunden ist. Eine derartige Schaltung hat den grundsätzlichen Nachteil, dass aufgrund der Pegelwandlerschaltung die Signallaufzeiten zu den Steuereingängen der Transistoren der Inverterschaltung unterschiedlich sind, so dass bei einer Flanke am Eingang der Zustandspegel-Wandlerschaltung die entsprechenden Signale mit einer bestimmten Zeitdifferenz an den Steuereingängen der beiden Transistoren anliegen. Dies hat zur Folge, dass die beiden Transistoren der Inverterschaltung zu unterschiedlichen Zeiten schalten, wodurch bei einem Einschalten eines der Transistoren und einem zeitversetzten Ausschalten des anderen Transistors ein Querstrom durch beide Transistoren fließt. Ein solcher Querstrom ist unerwünscht und erhöht die Leistungsaufnahme der Zustandspegel-Wandlerschaltung erheblich.

[0005] Es ist Aufgabe dieser Erfindung, eine verbesserte Zustandspegel-Wandlerschaltung zur Verfügung zu stellen, bei der insbesondere der Querstrom reduziert werden kann.

[0006] Diese Aufgabe wird durch eine Zustandspegel-Wandlerschaltung nach Anspruch 1 gelöst. Vorteilhafte Ausführungsformen sind in den abhängigen Ansprüchen angegeben.

[0007] Erfindungsgemäß ist eine Zustandspegel-Wandlerschaltung zur Ansteuerung von Wortleitungen in einem integrierten Speicher vorgesehen, die durch eine Inverterschaltung mit einem ersten Transistor eines ersten Leitfähigkeitstyps und mit einem zweiten Transistor eines zweiten Leitfähigkeitstyps sowie eine Pegelwandlerschaltung realisiert ist, wobei ein erster Eingang des ersten Transistors mit einem ersten Versorgungsspannungspotential und ein erster Eingang des zweiten Transistors mit einem zweiten Versorgungsspannungspotential verbunden ist. An einem Steuereingang des zweiten Transistors ist die Pegelwandlerschaltung angeschlossen. Es ist weiterhin vorgesehen, zwischen einem zweiten Eingang des ersten Transistors und einem ersten Eingang des zweiten Transistors einen dritten Transi-

stor des zweiten Leitfähigkeitstyps anzuordnen. Ein Steuereingang des dritten Transistors wird mit dem Steuereingang des ersten Transistors verbunden.

[0008] Auf diese Weise wird erreicht, dass der Querstrompfad durch den ersten und den zweiten Transistor bei einem Einschalten des ersten Transistors gleichzeitig mit dem ersten Transistor unterbrochen wird, indem in den Strompfad ein dritter Transistor eingebracht wird. Der dritte Transistor schaltet gleichzeitig, aber entgegengesetzt, zu dem ersten Transistor. Somit wird beim Einschalten des ersten Transistors erreicht, dass gleichzeitig der noch durch den zweiten Transistor verlaufende Strompfad unterbrochen wird.

[0009] Gemäß einer weiteren bevorzugten Ausführungsform ist vorgesehen, dass die Pegelwandlerschaltung einen vierten Transistor des zweiten Leitfähigkeitstyps und einen fünften Transistor des ersten Leitfähigkeitstyps aufweist. Deren erste Eingänge sind miteinander und mit einem Steuereingang des zweiten Transistors verbunden. Ein zweiter Eingang des vierten Transistors ist mit dem zweiten Versorgungsspannungspotential verbunden und ein Steuereingang des vierten Transistors ist mit dem zweiten Eingang des ersten Transistors verbunden. Diese Ausführungsform hat den Vorteil, dass die Pegelwandlerschaltung möglichst einfach aufgebaut ist.

[0010] Gemäß einer weiteren bevorzugten Ausführungsform kann vorgesehen sein, dass der erste Leitfähigkeitstyp ein p-Leitfähigkeitstyp und der zweite Leitfähigkeitstyp ein n-Leitfähigkeitstyp ist und das erste Versorgungsspannungspotential höher ist als das zweite Versorgungsspannungspotential. Auf diese Weise wird erreicht, dass der Low-Zustand des Ausgangssignals im wesentlichen das zweite Versorgungsspannungspotential aufweist.

[0011] Alternativ kann vorgesehen sein, dass der erste Leitfähigkeitstyp ein n-Leitfähigkeitstyp und der zweite Leitfähigkeitstyp ein p-Leitfähigkeitstyp ist und das erste Versorgungsspannungspotential niedriger ist als das zweite Versorgungsspannungspotential. Auf diese Weise kann erreicht werden, dass der High-Zustand des Ausgangssignals auf das zweite Versorgungsspannungspotential angepasst wird.

[0012] Die Erfindung wird anhand der beigegeführten Zeichnungen näher erläutert. Es zeigt:

[0013] Fig. 1 eine beispielhafte Ausführungsform einer erfindungsgemäßen Zustandspegel-Wandlerschaltung, bei der der Low-Zustand eines Ausgangssignals auf ein niedrigeres Versorgungsspannungspotential angepasst wird; und

[0014] Fig. 2 eine weitere Ausführungsform einer erfindungsgemäßen Zustandspegel-Wandlerschaltung, bei der der High-Zustand des Ausgangssignals gemäß einem höheren Versorgungsspannungspotential angepasst wird.

[0015] Fig. 1 zeigt in einer Ausführungsform eine Zustandspegel-Wandlerschaltung, bei der der Spannungspegel des Low-Zustands eines Ausgangssignals A gegenüber dem Spannungspegel des Low-Zustands des Eingangssignals E erniedrigt ist. Die Zustandspegel-Wandlerschaltung umfasst fünf Transistoren T1-T5, von denen die Transistoren T1 und T5 p-Kanal-Feldeffekttransistoren und die Transistoren T2, T3, T4 n-Kanal-Feldeffekttransistoren sind. Ein Eingang E der Zustandspegel-Wandlerschaltung ist mit den Gate-Eingängen T1G, T3G der Transistoren T1 und T3 verbunden. Der Drain-Eingang T1D des Transistors T1 ist mit einem Versorgungsspannungspotential V_{pp} verbunden, welches vorzugsweise das höchste Spannungspotential in der Zustandspegel-Wandlerschaltung darstellt. Der Source-Eingang T1S des Transistors T1 ist mit dem Drain-Eingang T3D des Transistors T3 verbunden und stellt gleichzeitig einen Ausgang A der Zustandspegel-Wandlerschaltung dar.

Der Source-Eingang T3S des Transistors T3 ist mit einem Drain-Eingang T2D des Transistors T2 verbunden. Der Source-Eingang T2S des Transistors T2 sowie der Source-Eingang T4S des Transistors T4 liegt an einem Versorgungsspannungspotential V_{NWL} an, dessen Potential unterhalb eines Masse-Potential V_{GND} liegt. Der Drain-Eingang T5D des Transistors T5 ist wie die Gate-Eingänge T1G, T3G der Transistoren T1, T3 ebenfalls mit dem Eingang der Zustandspegel-Wandlerschaltung verbunden. Der Source-Eingang T5S des Transistors T5 ist ebenso wie der Drain-Eingang T4D des Transistors T4 mit dem Gate-Eingang T2G des Transistors T2 verbunden. Der Gate-Eingang T5G des Transistors T5 liegt auf dem Potential V_{GND} . Der Ausgang A der Zustandspegel-Wandlerschaltung, d. h. der Source-Eingang T1S des Transistors T1 liegt an einem Gate-Eingang T4G des Transistors T4 an.

[0016] Der Transistor T3 bewirkt in dieser Schaltung, dass ein möglicher Querstrom der von dem Versorgungsspannungspotential V_{PP} über die gleichzeitig durchlässigen Transistoren T1 und T2 zu dem Versorgungsspannungspotential V_{NWL} fließen könnte, unterbunden wird. Ein solcher Querstrom könnte dann fließen, wenn am Eingang des Wortleitungstreiber eine logische "1", d. h. ein hoher Spannungspegel, der eine logische "1" repräsentiert, anliegt, wodurch der Transistor T2 auf Durchlass geschaltet ist und der Transistor T1 gesperrt ist. Wechselt nun das Signal am Eingang E auf eine logische "0", d. h. auf einen niedrigeren Spannungspegel, der eine logische "0" repräsentiert, so schaltet zunächst T1 auf Durchlass bevor T2 abschaltet. Ohne den Transistor T3 in dem Strompfad der beiden Transistoren T1, T2 würde nun ein Strom von V_{PP} nach V_{NWL} fließen. Durch das Vorsehen des Transistors T3 wird dieser Strompfad unterbrochen, da der Transistor T3 gleichzeitig mit dem Transistor T1 schaltet, so dass bei einem durchlässigen Transistor T1 der Transistor T3 den Querstrom unterdrückt.

[0017] Die Transistoren T4 und T5 stellen die eigentliche Pegelwandler-Schaltung dar. Der Transistor T5 ist bei einer positiven Gate-Source-Spannung durchlässig, d. h. er ist durchlässig, wenn am Eingang E eine logische "1" anliegt. Der Transistor T5 sorgt dafür, dass am Gate-Eingang T2G des Transistors T2 bei gleichzeitig sperrendem Transistor T4 etwa der Spannungspegel vom Eingang E anliegt. T5 sperrt dagegen, wenn keine positive Gate-Source-Spannung anliegt, und verhindert somit einen Stromfluss vom Eingang E zu dem niedrigeren Spannungspotential V_{NWL} , wenn am Eingang E eine logische "0" anliegt. In anderen Worten überträgt der Transistor T5 das niedrige Spannungspotential vom Eingang E nicht auf den Gate-Eingang T2G des Transistors T2.

[0018] Der Transistor T4 ist so geschaltet, dass er das Versorgungsspannungspotential V_{NWL} auf den Gate-Eingang T2G des Transistors T2 abhängig von dem Ausgangssignal A anlegt. D. h. der Transistor T4 ist bei einem hohen Spannungspegel des Ausgangssignals A leitend und legt dann das Versorgungsspannungspotential V_{NWL} an den Gate-Eingang T2G des Transistors T2 an, wobei wie beschrieben der Transistor T5 sperrt und somit keinen Stromfluss über den Transistor T4 zulässt. Liegt das Ausgangssignal A der Zustandspegel-Wandlerschaltung dagegen auf einem niedrigen Versorgungsspannungsniveau, welches gemäß dem Zweck der Schaltung nahe bei V_{NWL} liegt, so sperrt der Transistor T4 und am Gate-Eingang T2G des Transistors T2 liegt über dem dann durchlässigen Transistor T5 das Eingangssignal E an. Der Transistor T4 ist notwendig, um das Potential an dem Gate-Eingang des Transistors T2 unter das Massepotential V_{GND} in etwa auf das Versorgungsspannungspotential V_{NWL} zu bringen, damit der Transistor T2, wenn am Eingang E eine logische "0" anliegt, sicher nicht leitet.

[0019] Wechselt der logische Zustand des Eingangssignals E von der logischen "0" auf die logische "1", wird zunächst der Transistor T1 abgeschaltet und der Transistor T3 durchgeschaltet. Da der Transistor T2 aber langsamer schaltet als die Transistoren T1 und T3 wird das Schaltverhalten der Zustandspegel-Wandlerschaltung bei einem Wechsel des Eingangssignals von einer logischen "1" auf eine logische "0" im wesentlichen durch den Transistor T2 bzw. durch die mit diesem verbundenen Pegelwandlerschaltung bestimmt.

[0020] Der Zustandswechsel des Eingangssignals von einer logischen "1" auf eine logische "0" ist unkritisch, da Transistor T1 sofort nach Auftreten der Flanke durchschaltet und der Transistor T3 gesperrt wird, wodurch die das Versorgungsspannungspotential V_{PP} an den Ausgang der Zustandspegel-Wandlerschaltung angelegt wird.

[0021] Fig. 2 zeigt eine analog aufgebaute Zustandspegel-Wandlerschaltung, bei der ein Spannungspegel für den High-Zustand des Ausgangssignals über den Spannungspegel des High-Zustands des Eingangssignal A angehoben werden soll. Ebenso wie zuvor beschrieben, umfasst die Zustandspegel-Wandlerschaltung fünf Transistoren T1 bis T5, von denen die Transistoren T1 und T5 n-Kanal-Feldeffekttransistoren und die Transistoren T2, T3 und T4 p-Kanal-Feldeffekttransistoren sind. Die Transistoren T1 und T2 bilden eine Inverterschaltung, durch die ein beim Schaltvorgang fließender Querstrom mit Hilfe eines dazwischen im Strompfad angeordneten Transistors T3 unterdrückt werden soll. Dazu ist der Gate-Eingang T1G der Transistoren T1 und T3 mit dem Eingang der Zustandspegel-Wandlerschaltung verbunden. Der Drain-Eingang T1D des Transistors T1 ist mit dem Source-Eingang T3S des Transistors T3 verbunden, die gleichzeitig den Ausgang A der Zustandspegel-Wandlerschaltung darstellen. Der Source-Eingang T1S des Transistors T1 ist mit dem Versorgungsspannungspotential V_{GND} verbunden. Der Drain-Eingang T3D des Transistors T3 ist mit dem Source-Eingang T2S des Transistors T2 und der Drain-Eingang T2D des Transistors T2 mit dem Versorgungsspannungspotential V_{PWL} verbunden, welches gleichzeitig das höchste in der Schaltung vorkommende Spannungspotential ist. Ebenfalls mit dem Versorgungsspannungspotential V_{PWL} verbunden ist der Drain-Eingang T4D des Transistors T4, dessen Gate-Eingang T4G mit dem Ausgang A verbunden ist. Der Source-Eingang T4S des Transistors T4 sowie der Drain-Eingang T5D des Transistors T5 sind miteinander und mit einem Gate-Eingang T2G des Transistors T2 verbunden. Der Gate-Eingang T5G des Transistors T5 liegt auf einem Versorgungsspannungspotential V_{DD} , welches vorzugsweise größer als V_{GND} und kleiner als V_{PWL} ist.

[0022] Die Funktionsweise der in Fig. 2 gezeigten Schaltung ist ähnlich zu der in Fig. 1 mit dem Unterschied, dass der Spannungspegel des High-Zustandes des Ausgangssignals entsprechend dem Versorgungsspannungspotential V_{PWL} angehoben wird, während das Spannungspotential des Low-Zustandes unverändert bleibt.

[0023] In einer integrierten Ausführungsform ist darauf zu achten, dass die Bulk-Anschlüsse von n-Kanal-Transistoren stets auf dem niedrigsten an einem seiner Anschlüsse anliegenden Potential liegen, damit stets eine Isolation des jeweiligen Transistors gegenüber dem gemeinsamen Substrat gewährleistet ist. D. h. für die Schaltung nach Fig. 1, dass die Transistoren T2, T3 und T4 isoliert ausgebildet werden müssen, wobei deren Bulk-Anschlüsse mit dem niedrigsten Versorgungsspannungspotential V_{NWL} verbunden sind. Bei p-Kanal-Feldeffekttransistoren ist es notwendig, dass die Bulk-Anschlüsse mit dem jeweils positivsten Versorgungsspannungspotential z. B. V_{PWL} verbunden sind.

[0024] Da die gezeigte Schaltung das Eingangssignal invertiert, ist es zweckmäßig bei der Verwendung der Zustandspegel-Wandlerschaltung als einen Wortleitungstreiber eine weitere Treiberschaltung vorzusehen, damit das Eingangssignal E unverändert an die entsprechende Wortleitung weitergegeben werden kann.

[0025] Die in der vorangehenden Beschreibung, den Ansprüchen und der Zeichnung offenbarten Merkmale der Erfindung können sowohl einzeln als auch in beliebiger Kombination für die Verwirklichung der Erfindung in ihren verschiedenen Ausführungsformen wesentlich sein.

lerschaltung zur Ansteuerung von Wortleitungen in einem integrierten Speicher verwendet wird.

Hierzu 1 Seite(n) Zeichnungen

Patentansprüche

1. Integrierte Zustandspegel-Wandlerschaltung, die eine Inverterschaltung mit einem ersten Transistor (T1) eines ersten Leitfähigkeitstyps und mit einem zweiten Transistor (T2) eines zweiten Leitfähigkeitstyps und eine Pegelwandlerschaltung umfasst, wobei ein erster Eingang (T1D, T1S) des ersten Transistors mit einem ersten Versorgungsspannungspotential (V_{PP} , V_{GND}) und ein erster Eingang (T2S, T2D) des zweiten Transistors (T2) mit einem zweiten Versorgungsspannungspotential (V_{NWL} , V_{PWL}) verbunden ist, und wobei ein Steuereingang (T2G) des zweiten Transistors (T2) mit der Pegelwandlerschaltung verbunden ist, **dadurch gekennzeichnet**, dass zwischen einem zweiten Eingang (T1S, T1D) des ersten Transistors (T1) und einem zweiten Eingang (T2D, T2S) des zweiten Transistors (T2) ein dritter Transistor (T3) des zweiten Leitfähigkeitstyps vorgesehen ist, wobei ein Steuereingang (T3G) des dritten Transistors (T3) mit dem Steuereingang (T1G) des ersten Transistors (T1) verbunden ist.
2. Zustandspegel-Wandlerschaltung nach Anspruch 1, dadurch gekennzeichnet, dass die Pegelwandlerschaltung einen vierten Transistor (T4) des zweiten Leitfähigkeitstyps und einen fünften Transistor (T5) des ersten Leitfähigkeitstyps aufweist, wobei jeweils ein erster Eingang (T4D, T5S; T4S, T5D) des vierten Transistors (T4) und des fünften Transistors (T5) mit einem Steuereingang (T2G) des zweiten Transistors (T2) verbunden ist, ein zweiter Eingang (T4S, T4D) des vierten Transistors (T4) mit dem zweiten Versorgungsspannungspotential (V_{NWL} , V_{PWL}) verbunden ist und ein Steuereingang (T4G) des vierten Transistors (T4) mit dem zweiten Eingang (T1S, T1D) des ersten Transistors (T1) verbunden ist.
3. Zustandspegel-Wandlerschaltung nach Anspruch 2, dadurch gekennzeichnet, dass ein Steuereingang (T5G) des fünften Transistors (T5) mit einem dritten Spannungspotential (V_{GND} , V_{DD}) verbunden ist.
4. Zustandspegel-Wandlerschaltung nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass der erste Leitfähigkeitstyp ein p-Leitfähigkeitstyp und der zweite Leitfähigkeitstyp ein n-Leitfähigkeitstyp ist, und das erste Versorgungsspannungspotential (V_{PP}) höher ist als das zweite Versorgungsspannungspotential (V_{NWL}).
5. Zustandspegel-Wandlerschaltung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass der erste Leitfähigkeitstyp ein n-Leitfähigkeitstyp und der zweite Leitfähigkeitstyp ein p-Leitfähigkeitstyp ist, und das erste Versorgungsspannungspotential (V_{GND}) niedriger ist als das zweite Versorgungsspannungspotential (V_{PWL}).
6. Verwendung einer Zustandspegel-Wandlerschaltung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Zustandspegel-Wand-

- Leerseite -

FIG 1

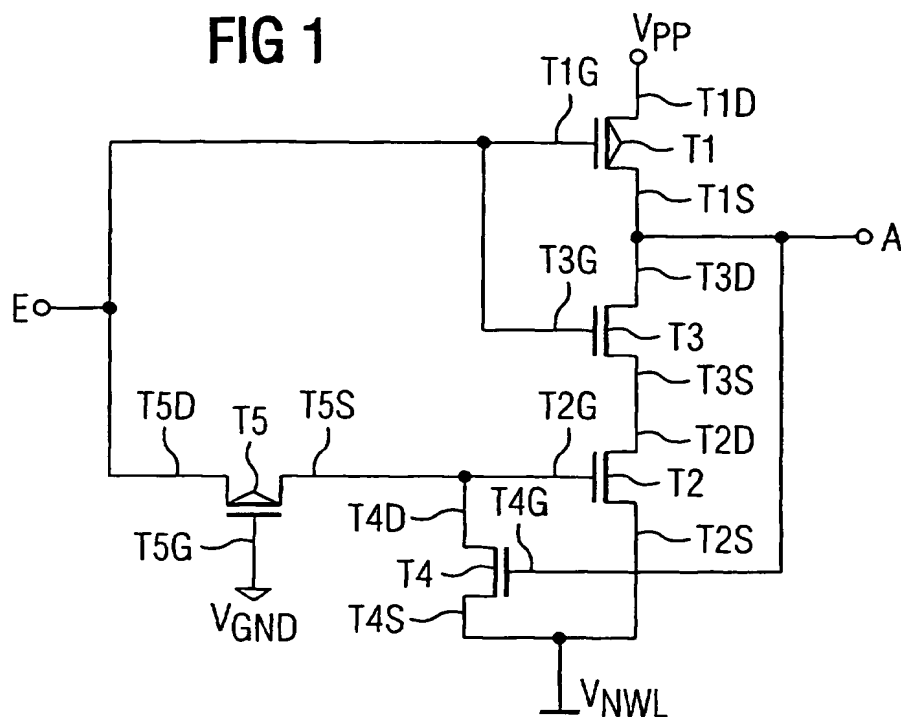


FIG 2

